



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2003-0011110
Application Number

출원 년 월 일 : 2003년 02월 21일
Date of Application FEB 21, 2003

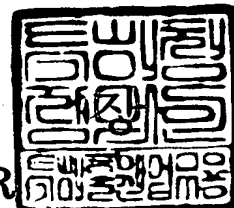
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 03 월 11 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.02.21
【발명의 명칭】	반도체 장치의 패턴 형성 방법 및 이를 이용한 반도체 장치의 제조방법
【발명의 영문명칭】	Method for forming patterns in a semiconductor device and method for a semiconductor device using the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	안주진
【성명의 영문표기】	AN, Ju Jin
【주민등록번호】	760922-2905918
【우편번호】	449-711
【주소】	경기도 용인시 기흥읍 삼성전자(주)기흥공장 기숙사 개나리동 1013호
【국적】	KR
【발명자】	
【성명의 국문표기】	이수웅
【성명의 영문표기】	LEE, Soo Woong
【주민등록번호】	650201-1231719
【우편번호】	441-350
【주소】	경기도 수원시 권선구 오목천동 청구1차아파트 102-1403
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박영우 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 25 면 25,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 26 항 941,000 원

【합계】 995,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

반도체 장치의 패턴 형성 방법 및 이를 이용한 반도체 장치의 제조 방법이 개시된다. 기판 상에 도전막과 반사 방지막 또는 이중 반사 방지막을 포함하는 하드 마스크층을 형성한 다음, 반사 방지막 내지 하드 마스크층 상의 잔류 산화물을 제1 세정액으로 일차 세정하고, 이어서 제2 세정액을 사용하여 인-시튜로 이차 세정하여 제거한다. 다음에, 반사 방지막 또는 하드 마스크층 상에 포토레지스트 패턴을 형성하고, 포토레지스트 패턴이나 하드 마스크를 이용하여 도전막을 패터닝한다. 반사 방지막이나 하드 마스크층과 포토레지스트 패턴 사이의 접착력을 증대시켜 포토레지스트 패턴이 반사 방지막 내지 하드 마스크층으로부터 리프팅되거나 서로 클링되는 현상을 방지할 수 있다. 따라서, 원하는 치수의 도전성 패턴을 형성할 수 있으므로 반도체 장치의 불량을 방지할 수 있으며, 반도체 제조 공정의 수율을 개선할 수 있다.

【대표도】

도 4b

【명세서】**【발명의 명칭】**

반도체 장치의 패턴 형성 방법 및 이를 이용한 반도체 장치의 제조 방법{Method for forming patterns in a semiconductor device and method for a semiconductor device using the same}

【도면의 간단한 설명】

도 1a 내지 도 1c는 종래의 패턴 형성 방법을 설명하기 위한 단면도들이다.

도 2a 내지 도 2b는 종래의 패턴 형성 방법의 문제점을 설명하기 위한 단면도들이다.

도 3은 종래의 반도체 장치의 패턴 형성 방법에 따른 도전막 패턴의 전자 현미경 사진이다.

도 4a 내지 도 4d는 본 발명의 일 실시예에 따른 반도체 장치의 패턴 형성 방법을 설명하기 위한 단면도들이다.

도 5a 내지 도 5d는 본 발명의 다른 실시예에 따른 반도체 장치의 패턴 형성 방법을 설명하기 위한 단면도들이다.

도 6a 내지 도 6d는 본 발명의 또 다른 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.

도 7a 내지 도 7d는 본 발명의 또 다른 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.

<도면의 주요 부분에 대한 부호의 설명>

100, 200, 300, 450 : 기판 105 : 절연막
110, 210 : 도전막 115, 510 : 반사 방지막
120, 230, 350, 515 : 잔류 산화물 130, 245 : 도전성 패턴
125, 235, 355, 520 : 포토레지스트 패턴 130, 245 : 도전성 패턴
205 : 제1 산화막 215, 330 : 제1 반사 방지막
220 : 제2 산화막 225, 340 : 제2 반사 방지막
250, 345 : 하드 마스크층 270, 380 : 하드 마스크
305 : 터널 산화막 335 : 제3 산화막
310 : 제1 도전막 315 : ONO막
320 : 제2 도전막 325 : 금속 실리사이드층
395 : 플로팅 게이트 405 : 컨트롤 게이트
420, 460 : 게이트 구조물 455 : 필드 산화막
470 : MOS 트랜지스터 495 : 패드
500 : 제1 절연막 505 : 제2 절연막

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<23> 본 발명은 반도체 장치의 패턴 형성 방법 및 이를 이용한 반도체 장치의 제조 방법에 관한 것으로서, 보다 상세하게는 잔류 산화물 제거 공정을 통해 정확한 형상 및 치수를 갖는 포토레지스트 패턴을 형성하고 이를 이용하여 도전성 패턴을

형성함으로써, 반도체 장치의 불량을 감소시키고 수율을 향상시킬 수 있는 반도체 장치의 패턴 형성 방법 및 이를 이용한 반도체 장치의 제조 방법에 관한 것이다.

<24> 일반적으로, 반도체 메모리 장치는 DRAM 이나 SRAM과 같이 시간이 지남에 따라 데이터를 잃어버리는 휘발성이면서 데이터의 입력 및 출력이 빠른 RAM 제품과 한번 데이터를 입력하면 그 상태를 유지할 수 있지만 데이터의 입력과 출력이 느린 ROM 제품으로 크게 구분할 수 있다. 상기 휘발성 반도체 메모리 장치는, 대개 1개의 트랜지스터와 1개의 캐패시터로 구성되며, 예를 들면, 16M DRAM은 단위 칩당 트랜지스터와 캐패시터가 각기 1600만개씩 내장된 고집적 메모리 소자이다. 통상적으로 DRAM 소자 등에 포함되는 캐패시터는 스토리지 노드, 셀 플레이트(cell plate) 및 충전 절연막 등으로 구성된다. 한편, 불휘발성 반도체 메모리 장치는 일반적으로 실리콘 기판 상에 형성된 플로팅 게이트를 구비하는 수직 적층형 게이트 구조를 갖는다. 다층 게이트 구조는 전형적으로 하나 이상의 터널 산화막 또는 충전 절연막과 상기 플로팅 게이트의 위 또는 주변에 형성된 컨트롤 게이트를 포함한다.

<25> 근래 들어 상기 휘발성 및 불휘발성 반도체 메모리 장치가 고집적화됨에 따라 미세한 패턴의 형성이 요구되고 있으며 배선의 넓이뿐만 아니라 배선과 배선 사이의 간격도 현저하게 감소하고 있다. 이에 따라, 보다 미세한 사이즈를 갖는 패턴을 정확한 치수로 형성되는 것이 요구되고 있으며, 현재 반사 방지막을 이용하여 하지막의 영향을 최소화 하면서 미세한 사이즈의 포토레지스트 패턴을 형성하고, 이와 같은 포토레지스트 패턴을 이용하여 금속 배선들과 같은 도전성 패턴을 형성하는 기술이 널리 이용되고 있다.

<26> 이러한 반사 방지막을 적용한 휘발성 및 불휘발성 반도체 메모리 장치의 패턴 형성 방법은 국내 공개 특허 제 2002-34772호, Zhiping Yin 등에게 허여된 미국 특허 제

6,174, 816호 및 제 6,380, 611호, 그리고 Lewis Shen 등에게 허여된 미국특허 제 5,948,703호 등에 개시되어 있다.

<27> 도 1a 내지 도 1c는 종래의 반도체 장치의 패턴 형성 방법을 설명하기 위한 단면도들을 도시한 것이다.

<28> 도 1a를 참조하면, 반도체 기판(10) 상에 주로 산화물로 구성된 절연막(15)을 형성한 다음, 절연막(15) 상에 폴리실리콘이나 금속 또는 금속 화합물 등으로 구성된 도전막(20)을 형성한다.

<29> 이어서, 도전막(20) 상에 실리콘 산화물, 실리콘 질화물 또는 실리콘 산질화물 등으로 이루어진 반사 방지막(Anti-Reflection Layer; ARL)(25)을 형성한 후, 반사 방지막(ARL)(25) 상에 포토레지스트 막(도시되지 않음)을 도포한다.

<30> 계속하여, 사진 공정으로 상기 포토레지스트 막을 패터닝하여 도전막(20)을 식각하여 도전막 패턴(35)을 형성하기 위한 포토레지스트 패턴(30)을 형성한다.

<31> 도 1b를 참조하면, 상기 포토레지스트 패턴(30)을 식각 마스크로 이용하여 그 하부의 반사 방지막(25)을 식각하여 반사 방지막 패턴(40)을 형성하고, 연속하여 도전막(20)을 식각함으로써, 절연막(15) 상에 도전막 패턴(35)을 형성한다.

<32> 도 1c를 참조하면, 도전막 패턴(35) 상의 반사 방지막 패턴(40) 및 포토레지스트 패턴(30)을 제거하여, 절연막(15)이 형성된 반도체 기판(10) 상에 반도체 장치의 비트 라인(bit line) 또는 워드 라인(word line) 등으로 기능하는 도전막 패턴(35)을 완성한다.

<33> 그러나, 상술한 종래의 반도체 장치의 패턴 형성 방법에 있어서, 반사 방지막 상을 형성하는 동안 사용되는 산화질소를 포함하는 퍼지 가스로 인하여 반사 방지막 상에는 잔류 산화물이 생성된다. 이러한 잔류 산화물은 포토레지스트 패턴을 형성하기 위한 전처리 공정에서 완전히 제거되지 않기 때문에 반사 방지막 상에 포토레지스트 패턴이 정확한 형상과 치수로 형성되지 못하며, 이에 따라 도전막 패턴이 원하는 형상으로 리프트(lift)되거나 서로 연결되어 반도체 장치의 불량을 야기하게 되는 문제점이 있다.

<34> 이를 도면을 참조하여 설명하면 다음과 같다. 도 2a 및 도 2b는 종래의 반도체 장치의 패턴 형성 방법의 문제점을 설명하기 위한 단면도를 도시한 것이며, 도 3은 종래의 반도체 장치의 패턴 형성 방법에 따른 도전막 패턴의 전자 현미경 사진을 도시한 것이다.

<35> 도 2a를 참조하면, 반사 방지막(25)을 형성하는 동안 대체로 산화질소를 포함하는 퍼지 가스가 도입되며, 이와 같은 퍼지 가스로 인하여 반사 방지막(25) 상에는 잔류 산화물(45)이 생성된다. 상기 반사 방지막(25) 상에 잔류 산화물(45)이 존재하는 상태에서 포토레지스트 패턴(30)을 형성하면, 잔류 산화물(45)로 인하여 포토레지스트 패턴(30)과 반사 방지막(25) 사이의 접착력이 저하되어 포토레지스트 패턴(30)이 반사 방지막(25)으로부터 리프팅되거나 인접하는 포토레지스트 패턴(30)이 서로 클링되는 현상이 일어난다.

<36> 도 2b 및 도 3을 참조하면, 포토레지스트 패턴(30)이 리프팅 또는 클링된 상태에서 포토레지스트 패턴(30)을 마스크로 하여 도전막(20)을 패터닝하여 도전막 패턴(35)을 형성할 경우에는, 도전막 패턴(35)이 원하는 형상과 치수로 형성되지 못하고 도전막 패턴(35)이 형성되지 않거나, 인접하는 도전막 패턴(35)들끼리 서로 클링되는 문제점이 발생

한다. 이러한 도전막 패턴(35)의 불량은 곧바로 반도체 장치의 불량을 유발하며, 결국 반도체 제조 공정의 수율을 저하시키는 원인이 된다.

【발명이 이루고자 하는 기술적 과제】

<37> 따라서, 본 발명의 제1 목적은 반사 방지막 상의 잔류 산화물을 완전히 제거한 후, 포토레지스트 패턴을 형성하고 이를 이용하여 도전성 패턴을 형성함으로써, 도전성 패턴의 리프팅 및 클링 현상을 방지할 수 있는 반도체 장치의 패턴 형성 방법을 제공하는 것이다.

<38> 본 발명의 제2 목적은 상술한 반도체 장치의 패턴 형성 방법을 이용하여 원하는 형상과 치수로 도전성 패턴을 형성함으로써, 반도체 장치의 불량을 방지하고 공정 수율을 향상시킬 수 있는 불휘발성 반도체 메모리 장치의 제조 방법을 제공하는 것이다.

<39> 본 발명의 제3 목적은 상술한 반도체 장치의 패턴 형성 방법을 이용하여 원하는 형상과 치수로 도전성 패턴을 형성함으로써, 반도체 장치의 불량을 방지하고 공정 수율을 향상시킬 수 있는 휘발성 반도체 메모리 장치의 제조 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<40> 상술한 본 발명의 제1 목적을 달성하기 위하여, 본 발명의 바람직한 일 실시예에 따른 반도체 장치의 패턴 형성 방법에 있어서, 기판 상에 도전막을 형성하고, 상기 도전막 상에 반사 방지막을 형성한 다음, 상기 반사 방지막 상의 잔류 산화물을 제1 세정액으로 사용하여 일차적으로 세정한다. 이어서, 상기 반사 방지막 상의 잔류 산화물을 제2 세정액을 사용하여 인-시튜로 이차적으로 세정한 후, 상기 반사 방지막 상에 포토레지스트 패턴을 형성하고, 상기 포토레지스트 패턴을 이용하여 상기 도전막을 패터닝한다. 이

때, 반사 방지막은 실리콘 산화물, 실리콘 질화물 또는 실리콘 산질화물로 이루어지며, 상기 잔류 산화물은 상기 반사 방지막을 형성하는 동안 사용되는 산화질소를 포함하는 퍼지 가스로부터 생성된다.

<41> 또한, 상술한 본 발명의 제1 목적을 달성하기 위하여, 본 발명의 바람직한 다른 실시예에 따른 반도체 장치의 패턴 형성 방법에 의하면, 기판 상에 절연막을 형성하고, 상기 절연막 상에 도전막을 형성한 후, 상기 도전막 상에 하드 마스크층을 형성하고, 상기 하드 마스크층 상의 잔류 산화물을 제1 세정액으로 사용하여 일차적으로 세정한다. 계속해서, 상기 하드 마스크층 상의 잔류 산화물을 제2 세정액을 사용하여 이차적으로 세정하고, 상기 하드 마스크층 상에 포토레지스트 패턴을 형성한 다음, 상기 포토레지스트 패턴을 이용하여 상기 하드 마스크층을 패터닝하여 하드 마스크를 형성하고, 상기 하드 마스크를 이용하여 상기 도전막을 패터닝한다. 이 경우, 상기 하드 마스크층은 상기 도전막 상에 순차적으로 형성된 제1 반사 방지막, 산화막 및 제2 반사 방지막으로 구성되며, 상기 잔류 산화물은 상기 제2 반사 방지막을 형성하는 동안 사용되는 산화질소를 포함하는 퍼지 가스로부터 생성된다.

<42> 상술한 본 발명의 제2 목적을 달성하기 위하여, 본 발명의 바람직한 또 다른 실시예에 따른 불휘발성 반도체 메모리 장치의 제조 방법에 있어서, 반도체 기판 상에 터널 산화막을 형성하고, 상기 터널 산화막 상에 플로팅 게이트로 기능하는 제1 도전막을 형성한 다음, 상기 제1 도전막 상에 ONO막을 형성하고, 상기 ONO막 상에 컨트롤 게이트로 기능하는 제2 도전막을 형성한다. 이어서, 상기 제2 도전막 상에 금속 실리사이드층을 형성하고, 상기 금속 실리사이드층 상에 하드 마스크층을 형성한 후, 상기 하드 마스크층 상의 잔류 산화물을 제1 세정액으로 사용하여 일차적으로 세정하고, 상기 하드 마스

크층 상의 잔류 산화물을 제2 세정액을 사용하여 인-시튜로 이차적으로 세정한다. 다음에, 상기 하드 마스크층 상에 포토레지스트 패턴을 형성하고, 상기 포토레지스트 패턴을 이용하여 상기 하드 마스크층을 패터닝하여 하드 마스크를 형성한 후, 상기 하드 마스크를 이용하여 상기 금속 실리사이드층, 상기 제2 도전막, 상기 절연막 및 상기 제1 도전막을 패터닝한다.

<43> 상술한 본 발명의 제3 목적을 달성하기 위하여 본 발명의 또 다른 바람직한 실시예에 따른 휘발성 반도체 메모리 장치의 제조 방법에 의하면, 반도체 기판 상에 트랜지스터 구조물 및 패드를 형성하고, 상기 트랜지스터 구조물 및 상기 패드 상에 절연막을 형성한 후, 상기 절연막 상에 반사 방지막을 형성하고, 상기 반사 방지막 상의 잔류 산화물을 제1 세정액을 사용하여 일차적으로 세정한다. 계속하여, 상기 반사 방지막 상의 잔류 산화물을 제2 세정액을 사용하여 인-시튜로 이차적으로 세정하고, 상기 반사 방지막 상에 포토레지스트 패턴을 형성한 다음, 상기 포토레지스트 패턴을 이용하여 상기 반사 방지막 및 상기 절연막을 식각하여 상기 패드를 노출시키는 콘택 홀을 형성하고, 상기 콘택 홀 내에 상기 패드에 전기적으로 연결되는 콘택 플러그를 형성한다.

<44> 본 발명에 따르면, 포토레지스트 패턴을 형성하기 전에 강화된 세정 공정을 통하여 반사 방지막 또는 반사 방지막을 포함하는 하드 마스크층을 형성하는 동안 생성된 반사 방지막 또는 하드 마스크층 상의 잔류 산화물을 완전히 제거한다. 따라서, 반사 방지막이나 하드 마스크층과 포토레지스트 패턴 사이의 접착력을 증대시켜 포토레지스트 패턴이 반사 방지막 내지 하드 마스크층으로부터 리프팅되거나 서로 클링되는 현상을 방지하여, 정확한 형상과 치수를 가지는 포토레지스트 패턴을 형성할 수 있다. 이러한 포토레지스트 패턴을 이용하여 도전막을 패터닝함으로써, 원하는 치수의 도전성 패턴을 형성할

수 있으므로 반도체 장치의 불량을 방지할 수 있으며, 반도체 제조 공정의 수율을 개선할 수 있다.

<45> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예들에 따른 반도체 장치의 패턴 형성 방법 및 이를 이용한 반도체 장치의 제조 방법을 상세하게 설명하지만 본 발명이 하기 실시예들에 의해 제한되거나 한정되는 것은 아니다.

<46> 도 4a 내지 도 4d는 본 발명의 일 실시예에 따른 반도체 장치의 패턴 형성 방법을 설명하기 위한 단면도들을 도시한 것이다.

<47> 도 4a를 참조하면, 화학 기상 증착(CVD) 방법 또는 원자층 증착(ALD) 방법 등을 이용하여 반도체 기판(100) 상에 산화물 또는 질화물로 이루어진 절연막(105)을 형성한다. 상기 절연막(105)은 반도체 장치의 금속 배선들 사이의 층간 절연막(ILD)이나 반도체 기판(100) 상에 형성되는 트랜지스터의 산화막 등을 포함한다. 그러나, 상기 절연막(105)은 경우에 따라 반도체 기판(100) 상에 형성되지 않을 수도 있다.

<48> 이어서, 절연막(105) 상에 후에 반도체 장치의 배선 패턴이나 전극 패턴 또는 패드 패턴 등으로 패턴닝되는 도전막(110)을 형성한 다음, 도전막(110) 상에 반사 방지막(ARL)(115)을 형성한다. 이 때, 도전막(110)은 폴리실리콘 또는 도핑된 폴리실리콘이나 텅스텐, 알루미늄, 코발트 등의 금속 내지 텅스텐 실리사이드나 코발트 실리사이드 등의 금속 실리사이드를 포함한다. 또한, 반사 방지막(115)은 실리콘 질화물, 실리콘 산화물 또는 실리콘 산질화물 등으로 이루어진다.

<49> 계속하여, 반사 방지막(115) 상에 포토레지스트 막(도시되지 않음)을 형성하기 위하여 반사 방지막(115)이 형성된 기판(100)을 일산화이질소(N_2O)와 같은 산화질소를 퍼

지 가스로 사용하여 인-시튜(in-situ)로 퍼지(purge)시킨다. 이 때, 반사 방지막(115) 상에는 반사 방지막(115)을 형성하는 동안 퍼지 공정에 사용되는 산화질소를 포함하는 퍼지 가스로부터 야기되는 잔류 산화물(120)이 생성된다.

<50> 도 4b를 참조하면, 제1 세정액을 사용하여 약 30~70℃ 정도의 저온에서 약 3~10 분 정도 세정하는 제1 세정 공정을 통해 상기 반사 방지막(115) 상에 형성된 잔류 산화물(120)을 일차적으로 제거한다. 이 때, 상기 제1 세정액은 황산(H_2SO_4)을 포함한다. 바람직하게는, 상기 제1 세정 공정은 약 50℃ 정도의 온도에서 약 5분 정도 수행된다.

<51> 이어서, 제2 세정액을 사용하여 약 30~70℃ 정도의 낮은 온도에서 약 5~15분 정도 반사 방지막(115)을 인-시튜(in-situ)로 세정하는 제2 세정 공정을 통해 상기 반사 방지막(115) 상에 형성된 잔류 산화물(120)을 완전히 제거한다. 바람직하게는, 상기 제2 세정 공정은 약 50℃ 정도의 온도에서 약 10분 동안 수행된다. 상기 제2 세정액은 SC 1(Standard Cleaning 1) 용액을 포함하며, 이 경우, 상기 SC 1 용액은 수산화암모늄(NH_4OH), 과산화수소(H_2O_2) 및 물(H_2O)을 약 1:1:5 정도의 비율로 포함한다. 또한, 상기 제1 및 제2 세정액은 반사 방지막(115) 및 상기 퍼지 가스의 종류에 따라 구성 성분의 함유량이 달라지거나 서로 동일한 물질을 포함할 수 있다.

<52> 종래의 패턴 형성 방법에 있어서는 포토레지스트 패턴을 형성하기 위한 전처리 공정을 약 5분 정도만 수행하기 때문에 반사 방지막 상에 형성된 잔류 산화물을 완전히 제거하기 어려웠다. 이에 따라, 완전히 제거되지 않은 잔류 산화물이 그 상부에 형성되는 포토레지스트 패턴의 안정성을 저하시켜, 결국 도전막 패턴들의 리프팅 또는 클링 현상을 유발하였다. 그러나, 본 발명에서는, 전술한 바와 같이 인-시튜로 진행되는 2회에 걸친 세정 공정을 통하여 반사 방지막 상의 잔류 산화물을 완전히 제거할 수 있으므로, 반

사 방지막 상에 포토레지스트 패턴들을 안정적으로 형성할 수 있다. 따라서, 포토레지스트 패턴들의 구조에 따라 요구되는 도전성 패턴들을 정확한 형상 및 치수로 형성하여 도전성 패턴들이 리프트되거나 클링되는 현상을 방지할 수 있다.

<53> 다시 도 4b를 참조하면, 잔류 산화물(120)이 제거된 반사 방지막(115) 상에 포토레지스트 막(도시되지 않음)을 도포한 다음, 사진 공정으로 도포된 포토레지스트 막을 패터닝하여 반사 방지막(115) 상에 도전성 패턴(130)들을 형성하기 위한 포토레지스트 패턴(125)들을 형성한다. 이에 따라, 반사 방지막(115) 상에 안정적인 구조로 포토레지스트 패턴(125)들이 형성된다. 본 발명에 있어서, 포토레지스트 패턴들(125)이 리프트되는 메커니즘을 반사 방지막(115)의 표면 상태에 따른 포토레지스트 패턴(125)과 반사 방지막(115) 사이의 접착력 관계로부터 고찰하였다. 즉, 반사 방지막(115)의 형성 시에 퍼지가스로 사용되는 산화질소로 인하여 반사 방지막(115) 표면에 산화물이 생성되며, 이러한 산화물이 포토레지스트 패턴(125)이 반사 방지막(115)에 접촉되는 것을 방해하게 된다. 이에 따라, 반사 방지막(115) 반사 방지막(115)과 포토레지스트 패턴(125) 사이의 접착력이 저하되어, 포토레지스트 패턴(125)이 반사 방지막(115)으로부터 리프트되는 현상이 유발된다. 이와 같은 포토레지스트 패턴(125)의 리프트 현상을 방지하기 위하여, 반사 방지막(115) 상에 잔류하는 잔류 산화물(120)을 세정 공정을 통하여 완전히 제거할 경우에는 반사 방지막(115)과 포토레지스트 패턴(125) 사이의 접착력이 향상되기 때문에 반사 방지막(115) 상에 안정적으로 포토레지스트 패턴(125)을 형성할 수 있게 된다.

<54> 도 4c를 참조하면, 포토레지스트 패턴(125)을 식각 마스크로 이용하여 그 아래의 반사 방지막(115) 및 도전막(110)을 패터닝하여 반사 방지막 패턴(135)과 도전성 패턴(130)을 형성한다.

<55> 도 4d를 참조하면, 포토레지스트 패턴(125) 및 반사 방지막 패턴(135)을 애싱 및 스트리핑 공정을 통하여 제거함으로써, 절연막(105)이 형성된 기판(100) 상에 도전성 패턴(130)을 형성한다. 이에 따라, 기판(100) 상에 반도체 장치의 배선 패턴이나 전극 패턴 또는 패드 패턴 등으로 이용되는 도전성 패턴(130)이 완성된다. 이 때, 포토레지스트 패턴(125)을 먼저 제거한 다음, 반사 방지막(115) 패턴을 하드 마스크로 이용하여 도전막(110)을 패터닝함으로써, 도전성 패턴(130)을 형성할 수도 있다.

<56> 도 5a 내지 도 5d는 본 발명의 다른 실시예에 따른 반도체 장치의 패턴 형성 방법을 설명하기 위한 단면도들을 도시한 것이다.

<57> 도 5a를 참조하면, 열산화법, 화학 기상 증착 방법 또는 원자층 증착 방법 등을 이용하여 반도체 기판(200) 상에 실리콘 산화물로 이루어진 제1 산화막(205)을 형성한다. 이 때, 제1 산화막(205)은 트랜지스터의 게이트 산화막 또는 반도체 기판(200)에 활성 영역을 한정하기 위한 필드 산화막 등을 포함한다.

<58> 계속하여, 제1 산화막(205) 상에 반도체 장치의 배선 패턴이나 게이트 전극 패턴 또는 패드 패턴 등으로 패터닝되는 도전막(210)을 형성한 다음, 도전막(110) 상에 제1 반사 방지막(215)을 형성한다. 이 경우, 도전막(110)은 폴리실리콘 또는 도핑된 폴리실리콘이나 텅스텐, 알루미늄, 코발트 등의 금속 내지 텅스텐 실리사이드나 코발트 실리사이드 등의 금속 실리사이드로 이루어지며, 제1 반사 방지막(215)은 실리콘 질화물, 실리콘 산화물 또는 실리콘 산질화물 등으로 구성된다.

<59> 이어서, 제1 반사 방지막(215) 상에 제2 산화막(220)과 제2 반사 방지막(225)을 순차적으로 형성한다. 제1 산화막은(220) 화학 기상 증착 방법으로 증착된 산화물로 구성되며, 제2 반사 방지막(225)은 제1 반사 방지막(215)과 동일한 물질인 실리콘 산화물,

실리콘 질화물 또는 실리콘 산질화물 등으로 이루어진다. 제1 반사 방지막(215), 제2 산화막(220) 및 제2 반사 방지막(225)은 함께 도전막(210)을 패터닝하기 위한 하드 마스크층(250)을 구성한다. 이 경우, 제1 반사 방지막(215), 제2 산화막(220) 및 제2 반사 방지막(225)의 두께의 비는 대략 1 : 10 : 2.5 정도가 된다. 본 실시예에 따르면, 제2 산화막(220)의 상부 및 하부에 이중의 반사 방지막들(215, 225)을 형성하기 때문에 후속하여 형성되는 포토레지스트 막의 패터닝을 위한 사진 공정 시에 하지막으로 인한 영향을 최소화할 수 있다.

<60> 다음에, 제2 반사 방지막(225) 상에 포토레지스트 막(도시되지 않음)을 형성하기 위하여 제2 반사 방지막(225)을 형성하면서 일산화이질소(N_2O)와 같은 산화질소를 퍼지가스로 사용하여 인-시튜 퍼지시킨다. 이 경우, 제2 반사 방지막(225) 상에는 퍼지 공정에 사용되는 산화질소 가스에 기인하는 잔류 산화물(230)이 생성된다.

<61> 도 5b를 참조하면, 하드 마스크층(250)에 대하여 황산을 포함하는 제1 세정액을 사용하여 약 30~70℃ 정도의 낮은 온도에서 약 3~10분 정도 제1 세정 공정을 수행하여 상기 제2 반사 방지막(225) 상에 형성된 잔류 산화물(230)을 1차적으로 제거한다. 바람직하게는, 상기 제1 세정 공정은 약 50℃ 정도의 온도에서 약 5분 정도 수행된다.

<62> 계속하여, 하드 마스크층(250)에 대하여 SC 1 용액을 포함하는 제2 세정액을 사용하여 약 30~70℃ 정도의 저온에서 약 5~15분 정도 인-시튜로 제2 세정 공정을 수행하여 제2 반사 방지막(225) 상에 형성된 잔류 산화물(230)을 2차적으로 제거한다. 바람직하게는, 상기 제2 세정 공정은 약 50℃ 정도의 온도에서 약 10분 동안 수행된다. 이 때, 상기 제2 세정액과 제1 세정액은 제2 반사 방지막(225) 및 상기 퍼지 가스의 종류에 따라 구성 성분의 함유량이 동일하거나 달라질 수 있다.

- <63> 이어서, 세정 처리된 제2 반사 방지막(225) 상에 포토레지스트 막(도시되지 않음)을 스핀 코팅 방법으로 도포하고, 도포된 포토레지스트 막을 패터닝하여 도전성 패턴(245)의 형성을 위한 포토레지스트 패턴(235)을 형성한다. 본 실시예에 있어서, 제2 반사 방지막(225) 상에 포토레지스트 패턴(235)이 안정적으로 형성되는 메커니즘은 전술한 바와 같다.
- <64> 도 5c를 참조하면, 상기 포토레지스트 패턴(235)을 마스크로 이용하여 제2 반사 방지막(225), 제2 산화막(220) 및 제1 반사 방지막(215)을 순차적으로 식각하여 제1 반사 방지막 패턴(255), 제2 산화막 패턴(260) 및 제2 반사 방지막 패턴(265)으로 이루어진 하드 마스크(270)를 형성한 다음, 포토레지스트 패턴(235)을 제거한다.
- <65> 이어서, 하드 마스크(270)를 식각 마스크로 이용하여 그 하부의 도전막(210)을 패터닝하여 반도체 장치의 배선이나 게이트 전극 등으로 사용되는 도전성 패턴(245)을 형성한다. 이 때, 필요에 따라 도전막(210) 하부의 제1 산화막(205)도 함께 패터닝되어 도전성 패턴(245)의 하부에 제1 산화막 패턴(240)이 형성될 수 있다.
- <66> 도 5d를 참조하면, 상기 하드 마스크(270)를 제거하고 세정 처리를 수행하여 반도체 기판(200) 상에 제1 산화막 패턴(240) 및 도전성 패턴(245)을 완성한다.
- <67> 도 6a 내지 도 6d는 본 발명의 또 다른 실시예에 따른 불휘발성 반도체 메모리 장치의 제조 방법을 설명하기 위한 단면도들을 도시한 것이다. 도 6a 내지 도 6d에 있어서, 낸드 플래시 메모리(NAND flash memory) 장치의 제조 공정을 예시적으로 도시 및 설명하지만 본 발명이 이에 의하여 한정되는 것은 아니다.

<68> 도 6a를 참조하면, 먼저 셀로우 트렌치 장치 분리(STI) 공정과 같은 장치 분리 방법을 통하여 반도체 기판(300)을 액티브 영역과 필드 영역으로 구분한다. 즉, 사진 식각 공정을 이용하여 반도체 기판(300)을 소정의 깊이로 식각하여 반도체 기판(300)에 액티브 영역을 한정하는 트렌치(도시되지 않음)를 형성한 후, 반도체 기판(300) 상에 상기 트렌치를 매립하도록 화학 기상 증착 방법으로 산화막을 형성한다. 다음에, 상기 산화막을 화학 기계적 연마 공정 또는 에치 백 공정으로 연마하여 상기 트렌치의 내부에만 반도체 기판(300)을 액티브 영역과 필드 영역으로 구분하는 필드 산화막을 형성한다. 한편, 상기 필드 영역은 통상의 실리콘 부분 산화(LOCOS) 공정으로 형성할 수도 있으며, 플로팅 게이트와 액티브 영역을 동시에 형성하는 셀프-얼라인 셀로우 트렌치 장치분리(SA-STI) 공정으로 형성할 수도 있다.

<69> 이어서, 열산화법을 이용하여 반도체 기판(300)의 전면에서 게이트 산화막으로 기능하는 터널 산화막(305)을 형성한 다음, 터널 산화막(305) 상에 플로팅 게이트로 기능하는 제1 도전막(310)을 형성한다. 상기 터널 산화막(305)은 실리콘 산화물 또는 실리콘 산질화물 등으로 구성되며, 제1 도전막(310)은 폴리실리콘 또는 아몰퍼스 실리콘으로 이루어진다. 이 때, 제1 도전막(310)은 약 1200~1600Å 정도의 두께로 형성된다. 다음에, POCl_3 확산 방법, 이온 주입 방법 또는 인-시튜 도핑 방법을 이용하여 제1 도전막(310)을 고농도의 N형으로 도핑시킨 다음, 사진 식각 공정을 통해 상기 필드 영역 상의 제1 도전막(310)을 제거하여 이웃하는 메모리 셀의 플로팅 게이트들을 서로 절연시킨다.

<70> 계속하여, 제1 도전막(310)이 형성된 반도체 기판(300) 상에 층간 절연막(ILD)으로 제1 산화막, 질화막 및 제2 산화막을 순차적으로 적층하여, 제1 도전막(310) 상에 산화

막들 사이에 질화막이 개재된 구조의 ONO막(315)을 형성한다. 이 경우, ONO막(315)은 열산화법 또는 화학 기상 증착 방법으로 약 200Å 정도의 두께를 가지도록 형성한다.

<71> 이어서, 상기 ONO막(315) 상에 컨트롤 게이트로 기능하는 제2 도전막(320)을 형성한 다음, 제2 도전막(320) 상에 금속 실리사이드층(325)을 형성한다. 제2 도전막(320)은 폴리실리콘 또는 아몰퍼스 실리콘으로 구성되며, 약 800Å 정도의 두께로 형성된다. 이때, 제2 도전막(320)은 실란(SiH_4)과 포스핀(PH_3) 가스를 사용하여 인-시튜 도핑되면서 형성되는 것이 바람직하다. 한편, 금속 실리사이드층(325)은 텅스텐 실리사이드(WSi_x), 티타늄 실리사이드(TiSi_x), 또는 탄탈륨 실리사이드(TaSi_x) 등과 같은 금속 실리사이드로 구성된다. 바람직하게는, 금속 실리사이드층(325)은 텅스텐 실리사이드로 이루어지며, 약 1200Å 정도의 두께를 가진다.

<72> 계속하여, 금속 실리사이드층(325) 상에 제1 반사 방지막(330), 제3 산화막(335) 및 제2 반사 방지막(340)을 차례로 적층하여 반사 방지막들(330, 340) 사이에 산화막(335)이 개재된 구조를 가지는 하드 마스크층(345)을 형성한다. 제1 반사 및 제2 반사 방지막(330, 340)은 실리콘 질화물 또는 실리콘 산질화물을 화학 기상 증착 방법으로 증착하여 형성하며, 제3 산화막(335)은 실리콘 산화물을 플라즈마 증대 화학 기상 증착(PECVD) 방법으로 증착하여 형성한다. 본 실시예에 따르면, 후에 포토레지스트 패턴을 형성하는 동안 하지막으로 인한 영향을 최소화하는 동시에 컨트롤 게이트 및 플로팅 게이트의 안정적인 형성을 위하여 제1 및 제2 반사 방지막(330, 340)을 형성하고, 그 사이에 제3 산화막(335)을 개재시킨다. 이 경우, 제3 산화막(335)은 약 2400~2600Å 정도의 두께로 형성된다. 또한, 제1 반사 방지막(330)은 약 240~280Å 정도의 두께를 가지며, 제2 반사 방지막(340)은 약 640~680Å 정도의 두께로 형성된다. 따라서, 제1 반사 방지

막(330), 제3 산화막(335) 및 제2 반사 방지막(340)의 두께 비는 약 1 : 10 : 2.5 정도가 된다. 제2 반사 방지막(340)을 형성하면서 일산화이질소 가스를 포함하는 퍼지 가스를 사용하여 인-시튜 퍼지시킨다. 이에 따라, 제2 반사 방지막(340) 상에는 퍼지 공정에서 사용되는 일산화이질소 가스로부터 유래되는 잔류 산화물(350)이 생성된다.

<73> 도 6b를 참조하면, 포토레지스트 막(도시되지 않음)의 형성을 위한 전처리 공정으로서, 상기 하드 마스크층(345)에 대하여 황산을 포함하는 제1 세정액을 사용하여 약 30~70℃ 정도의 저온, 바람직하게는 약 50℃ 정도의 낮은 온도에서 약 3~10분 정도, 바람직하게는 약 5분 정도 제1 세정 공정을 수행하여 상기 제2 반사 방지막(340) 상에 형성된 잔류 산화물(350)을 1차적으로 제거한다.

<74> 이어서, 하드 마스크층(345)에 대하여 SC 1 용액을 포함하는 제2 세정액을 사용하여 약 30~70℃ 정도의 낮은 온도, 바람직하게는 약 50℃ 정도의 저온에서 약 5~15분 정도, 바람직하게는 약 10분 정도 인-시튜로 제2 세정 공정을 수행하여 제2 반사 방지막(340) 상에 형성된 잔류 산화물(350)을 2차적으로 제거한다.

<75> 계속하여, 세정 처리된 제2 반사 방지막(340) 상에 포토레지스트 막(도시되지 않음)을 도포하고, 도포된 포토레지스트 막을 패터닝하여 포토레지스트 패턴(355)을 형성한다. 다음에, 포토레지스트 패턴(355)을 마스크로 이용하여 제2 반사 방지막(340), 제3 산화막(335) 및 제1 반사 방지막(330)을 순차적으로 패터닝하여 컨트롤 게이트 및 플로팅 게이트를 형성하기 위하여 제1 반사 방지막 패턴(360), 제3 산화막 패턴(365) 및 제2 반사 방지막 패턴(370)으로 구성된 구조의 하드 마스크(380)를 형성한다. 이 때, 제2 반사 방지막(340)을 형성한 직후의 하드 마스크층(345)의 표면에는 일산화이질소를 포함하는 퍼지 가스로 인하여 잔류 산화물(350)이 존재하게 된다. 이러한 잔류 산화물

(350) 존재는 포토레지스트 패턴(355)과 제2 반사 방지막(340) 사이의 접착력을 저하시켜 포토레지스트 패턴(355)의 형성 후, 포토레지스트 패턴(355)이 하드 마스크층(345)으로부터 리프팅되는 현상이 발생한다. 실제로 주사 전자 현미경(SEM)을 사용하여 웨이퍼 전체에 대하여 측정한 결과 약 150 개의 칩 가운데 약 30개 이상의 칩에서 포토레지스트 패턴(355)이 리프팅되는 것을 확인할 수 있었다.

<76> 본 실시예에 있어서, 황산 및 SC 1 용액을 포함하는 제1 세정액으로 약 5 분 정도 하드 마스크층(345)을 1차 세정하고, 스텔스(Stealth) 계측 장비로 측정한 결과, 계측 장비가 전체적으로 검출한 약 1228개 정도의 결함 가운데 실제적인 결함은 약 677개 정도가 발견되었다. 이를 주사 전자 현미경으로 재확인한 결과로는 약 25개 정도의 칩에서 포토레지스트 패턴(355)의 리프팅 현상이 관찰되었다. 이어서, 1차 세정된 하드 마스크층(345)을 제2 세정액으로 약 10 분 정도 2차 세정하고 상기 계측 장비로 측정한 결과, 계측 장비가 전체적으로 검출한 약 585개 정도의 결함 가운데 실제적인 결함은 약 434개 정도가 발견되었다. 이를 주사 전자 현미경으로 재확인한 결과로는 약 2개 정도의 칩에서 포토레지스트 패턴(355)이 리프팅되는 현상이 관찰되었다. 따라서, 본 실시예와 같이 2회의 세정 공정을 통하여 하드 마스크층(345) 상의 잔류 산화물(350)을 완전히 제거할 경우에는, 포토레지스트 패턴(355)과 제2 반사 방지막(340) 사이의 접착력이 크게 증가되어 종래에 비하여 현저하게 포토레지스트 패턴(355)의 리프팅 현상이 감소되는 것을 확인할 수 있었다.

<77> 도 6c를 참조하면, 애싱 및 스트립 공정을 통하여 포토레지스트 패턴(355)을 제거한 다음, 제2 반사 방지막 패턴(370), 제3 산화막 패턴(365) 및 제1 반사 방지막 패턴(360)으로 구성된 하드 마스크(380)를 식각 마스크로 이용하여, 그 하부의 금속 실리사

이드층(325), 제2 도전막(320), ONO막(315), 제1 도전막(310) 및 터널 산화막(305)을 순차적으로 식각한다, 이에 따라, 게이트 산화막 패턴(390), 플로팅 게이트(395), ONO막 패턴(400), 컨트롤 게이트(405) 및 금속 실리사이드 패턴(410)으로 이루어진 게이트 구조물(420)을 형성한다. 이 경우, 하드 마스크층(345)은 약 900 Å 정도의 두께로 게이트 구조물(420) 상에 남게 된다.

<78> 도 6d를 참조하면, 상기 게이트 구조물(420)들 사이의 반도체 기판(300)에 이온 주입 공정으로 불순물을 이온 주입하고, 열처리 공정을 통하여 소오스/드레인 영역(385)을 형성한다. 이어서, 잔류하는 하드 마스크층(345)을 제거한 다음, 세정 및 건조 처리를 통하여 불휘발성 반도체 메모리 장치의 게이트 구조물(420)을 완성한다.

<79> 도 7a 내지 도 7d는 본 발명의 또 다른 실시예에 따른 휘발성 반도체 메모리 장치의 제조 방법을 설명하기 위한 단면도들을 도시한 것이다. 도 7a 내지 도 7d에 있어서, DRAM 장치의 제조 방법을 예시적으로 도시 및 설명하지만 본 발명이 이에 의하여 한정되는 것은 아니다.

<80> 도 7a를 참조하면, 실리콘 부분 산화법(LOCOS) 또는 셀로우 트렌치 분리 공정과 같은 장치 분리 공정을 통하여 반도체 기판(450) 상에 반도체 기판(450)을 액티브 영역과 필드 영역으로 구분하는 필드 산화막(455)을 형성한 다음, 반도체 기판(450) 상에 게이트 구조물(460)과 소오스/드레인 영역(465)을 포함하는 MOS 구조의 트랜지스터(470)를 형성한다. 상기 게이트 구조물(460)은 기판(450) 상에 순차적으로 형성된 게이트 산화막(475), 게이트 전극(480) 및 캡핑층(485)과 게이트 전극(480)의 측벽에 형성된 스페이서(490)를 포함한다. 이 때, 각 MOS 트랜지스터(470)의 게이트 전극(480)은 폴리실리콘 내지 폴리실리콘/실리사이드로

이루어지고, 캡핑층(485)은 주로 산화물로 구성되며, 스페이서(490)는 실리콘 산화물 또는 실리콘 질화물로 이루어진다. 한편, MOS 트랜지스터(470)의 소오스/드레인 영역(465)은 이온 주입 공정을 이용한 불순물의 주입을 통하여 각 게이트 구조물(460) 사이의 반도체 기판(450) 상에 형성된다.

<81> 이어서, MOS 트랜지스터(470)가 형성된 반도체 기판(450)의 전면에 텅스텐, 티타늄, 티타늄 실리사이드 또는 폴리실리콘 등의 도전체로 이루어진 제1 도전막(도시되지 않음)을 적층한 다음, 화학 기계적 연마 또는 에치 백 공정을 통하여 제1 도전막의 상부를 평탄화함으로써, 게이트 구조물(460)의 상면을 노출시키는 한편 각 게이트 구조물(460)들 사이에 캐패시터 및 비트 라인을 위한 패드(495)를 형성한다.

<82> 도 7b를 참조하면, 각 MOS 트랜지스터(470) 및 패드(495) 상에 화학 기상 증착 방법을 이용하여 실리콘 산화물로 이루어진 제1 절연막(500) 및 제2 절연막(510)을 형성한다.

<83> 계속하여, 제2 절연막(510) 상에 실리콘 산화물, 실리콘 질화물 또는 실리콘산질화물 등을 사용하여 반사 방지막(510)을 형성하는 한편 산화질소를 포함하는 퍼지 가스로 반사 방지막(510)을 인-시튜 퍼지시킨다. 이 때, 반사 방지막(510) 상에는 상기 퍼지 가스로 인한 잔류 산화물(515)이 생성된다.

<84> 이어서, 포토레지스트 막(도시되지 않음)의 형성을 위한 전처리 공정으로서, 반사 방지막(510)에 대하여 황산을 포함하는 제1 세정액을 사용하여 약 30~70℃ 정도의 저온, 바람직하게는 약 50℃ 정도의 낮은 온도에서 약 3~10분 정도, 바람

직하게는 약 5분 정도 제1 세정 공정을 수행하여 상기 반사 방지막(510) 상에 형성된 잔류 산화물(515)을 일차적으로 제거한다. 다음에, 반사 방지막(510)에 대하여 SC 1 용액을 포함하는 제2 세정액을 사용하여 약 30~70℃ 정도의 낮은 온도, 바람직하게는 약 50℃ 정도의 저온에서 약 5~15분 정도, 바람직하게는 약 10 분 정도 인-시튜로 제2 세정 공정을 수행하여 반사 방지막(510) 상에 형성된 잔류 산화물(515)을 이차적으로 제거한다. 이에 따라, 반사 방지막(510) 상에 생성된 잔류 산화물(515)이 거의 완전하게 제거된다.

<85> 도 7c를 참조하면, 세정 처리된 반사 방지막(510) 상에 포토레지스트 막을 도포하고, 도포된 포토레지스트 막을 패터닝하여 포토레지스트 패턴(520)을 형성한다.

<86> 이어서, 포토레지스트 패턴(520)을 마스크로 이용하여 반사 방지막(515), 제2 절연막(505) 및 제1 절연막(500)을 순차적으로 패터닝하여, 기판(450) 상의 패드(495)를 노출시키는 스토리지 노드 콘택 홀(530)을 형성한 다음, 포토레지스트 패턴(520) 및 반사 방지막(515)을 제거한다.

<87> 도 7d를 참조하면, 셀프-얼라인 방식으로 콘택 플러그(535)를 형성하기 위하여 제1 및 제2 절연막(500, 505)을 관통하여 형성된 스토리지 노드 콘택 홀(530)의 측벽에 실리콘 질화물로 이루어진 스페이서(525)를 형성한다.

<88> 계속하여, 스페이서(525)가 형성된 상기 스토리지 노드 콘택홀(530)을 채우면서 제2 절연막(505) 상에 텅스텐, 티타늄, 티타늄실리사이드, 또는 폴리실리콘 등으로 구성된 제2 도전막(도시되지 않음)을 형성한 다음, 화학 기계적 연마 공정

또는 에치 백 공정을 통하여 제2 도전막을 연마한다, 이에 따라, 스토리지 노드 콘택홀 (530) 내에는 스토리지 노드 콘택 플러그(535)가 형성된다. 다음에, 스토리지 노드 콘택 (535)이 형성된 제2 절연막(505) 상에 통상의 캐패시터 형성 공정에 따라 유전막 및 상부 전극막(도시되지 않음)을 형성하고 이들을 패터닝하여 DRAM 반도체 장치를 완성한다.

【발명의 효과】

<89> 상술한 바와 같이 본 발명에 따르면, 포토레지스트 패턴을 형성하기 전에 강화된 세정 공정을 통하여 반사 방지막을 형성하는 동안 생성된 반사 방지막 상의 잔류 산화물을 완전히 제거한다. 따라서, 반사 방지막과 포토레지스트 패턴 사이의 접착력을 증대시켜 포토레지스트 패턴이 반사 방지막으로부터 리프팅되거나 서로 클링되는 현상을 방지하여, 정확한 형상과 치수를 가지는 포토레지스트 패턴을 형성할 수 있다. 이러한 포토레지스트 패턴을 이용하여 도전막을 패터닝함으로써, 원하는 치수의 도전성 패턴을 형성할 수 있으므로 반도체 장치의 불량을 방지할 수 있으며, 반도체 제조 공정의 수율을 개선할 수 있다.

<90> 상술한 바와 같이, 본 발명의 바람직한 실시예들을 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

기판 상에 도전막을 형성하는 단계;

상기 도전막 상에 반사 방지막을 형성하는 단계;

상기 반사 방지막 상의 잔류 산화물을 제1 세정액으로 사용하여 일차적으로 세정하는 단계;

상기 반사 방지막 상의 잔류 산화물을 제2 세정액을 사용하여 이차적으로 세정하는 단계;

상기 반사 방지막 상에 포토레지스트 패턴을 형성하는 단계; 및

상기 포토레지스트 패턴을 이용하여 상기 도전막을 패터닝하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 패턴 형성 방법.

【청구항 2】

제1항에 있어서, 상기 잔류 산화물은 상기 반사 방지막을 형성하는 동안 사용되는 산화질소를 포함하는 퍼지 가스로부터 생성되는 것을 특징으로 하는 반도체 장치의 패턴 형성 방법.

【청구항 3】

제2항에 있어서, 상기 반사 방지막은 실리콘 산화물, 실리콘 질화물 및 실리콘 산 질화물로 이루어진 그룹 중에서 선택된 어느 하나를 포함하는 것을 특징으로 하는 반도체 장치의 패턴 형성 방법.

【청구항 4】

제1항에 있어서, 상기 제1 세정액은 황산을 포함하는 것을 특징으로 하는 반도체 장치의 패턴 형성 방법.

【청구항 5】

제4항에 있어서, 상기 반사 방지막을 일차적으로 세정하는 단계는 30~70℃의 저온에서 3~10분 동안 수행되는 것을 특징으로 하는 반도체 장치의 패턴 형성 방법.

【청구항 6】

제1항에 있어서, 상기 제2 세정액은 SC 1을 포함하는 것을 특징으로 하는 반도체 장치의 패턴 형성 방법.

【청구항 7】

제6항에 있어서, 상기 반사 방지막을 이차적으로 세정하는 단계는 30~70℃의 저온에서 5~15분 동안 수행되는 것을 특징으로 하는 반도체 장치의 패턴 형성 방법.

【청구항 8】

제1항에 있어서, 상기 반사 방지막을 일차적으로 세정하는 단계 및 이차적으로 세정하는 단계는 인-시튜로 수행되는 것을 특징으로 하는 반도체 장치의 패턴 형성 방법.

【청구항 9】

기판 상에 절연막을 형성하는 단계;

상기 절연막 상에 도전막을 형성하는 단계;

상기 도전막 상에 하드 마스크층을 형성하는 단계;

상기 하드 마스크층 상의 잔류 산화물을 제1 세정액으로 사용하여 일차적으로 세정하는 단계;

상기 하드 마스크층 상의 잔류 산화물을 제2 세정액을 사용하여 이차적으로 세정하는 단계;

상기 하드 마스크층 상에 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 이용하여 상기 하드 마스크층을 패터닝하여 하드 마스크를 형성하는 단계; 및

상기 하드 마스크를 이용하여 상기 도전막을 패터닝하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 패턴 형성 방법.

【청구항 10】

제9항에 있어서, 상기 하드 마스크층을 형성하는 단계는,

상기 도전막 상에 제1 반사 방지막을 형성하는 단계;

상기 제1 반사 방지막 상에 산화막을 형성하는 단계; 및

상기 산화막 상에 제2 반사 방지막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 패턴 형성 방법.

【청구항 11】

제10항에 있어서, 상기 잔류 산화물은 상기 제2 반사 방지막을 형성하는 동안 사용되는 산화질소를 포함하는 퍼지 가스로부터 생성되는 것을 특징으로 하는 반도체 장치의 패턴 형성 방법.

【청구항 12】

제10항에 있어서, 상기 제1 및 제2 반사 방지막은 각기 실리콘 산화물, 실리콘 질화물 및 실리콘 산질화물로 이루어진 그룹 중에서 선택된 어느 하나를 포함하는 것을 특징으로 하는 반도체 장치의 패턴 형성 방법.

【청구항 13】

제10항에 있어서, 상기 제1 반사 방지막, 상기 산화막 및 상기 제2 반사 방지막의 두께의 비는 1 : 10 : 2.5인 것을 특징으로 하는 반도체 장치의 패턴 형성 방법.

【청구항 14】

제9항에 있어서, 상기 제1 세정액은 황산을 포함하는 것을 특징으로 하는 반도체 장치의 패턴 형성 방법.

【청구항 15】

제14항에 있어서, 상기 하드 마스크층을 일차적으로 세정하는 단계는 30~70℃의 저온에서 3~10분 동안 수행되는 것을 특징으로 하는 반도체 장치의 패턴 형성 방법.

【청구항 16】

제9항에 있어서, 상기 제2 세정액은 SC 1을 포함하는 것을 특징으로 하는 반도체 장치의 패턴 형성 방법.

【청구항 17】

제16항에 있어서, 상기 하드 마스크층을 이차적으로 세정하는 단계는 30~70℃의 저온에서 5~15분 동안 수행되는 것을 특징으로 하는 반도체 장치의 패턴 형성 방법.

【청구항 18】

반도체 기판 상에 터널 산화막을 형성하는 단계;

상기 터널 산화막 상에 플로팅 게이트로 기능하는 제1 도전막을 형성하는 단계;

상기 제1 도전막 상에 ONO막을 형성하는 단계;

상기 ONO막 상에 컨트롤 게이트로 기능하는 제2 도전막을 형성하는 단계;

상기 제2 도전막 상에 금속 실리사이드층을 형성하는 단계;

상기 금속 실리사이드층 상에 하드 마스크층을 형성하는 단계;

상기 하드 마스크층 상의 잔류 산화물을 제1 세정액으로 사용하여 일차적으로 세정하는 단계;

상기 하드 마스크층 상의 잔류 산화물을 제2 세정액을 사용하여 이차적으로 세정하는 단계;

상기 하드 마스크층 상에 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 이용하여 상기 하드 마스크층을 패터닝하여 하드 마스크를 형성하는 단계; 및

상기 하드 마스크를 이용하여 상기 금속 실리사이드층, 상기 제2 도전막, 상기 절연막 및 상기 제1 도전막을 패터닝하는 단계를 포함하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치의 제조 방법.

【청구항 19】

제18항에 있어서, 상기 하드 마스크층을 형성하는 단계는,

상기 도전막 상에 제1 반사 방지막을 형성하는 단계;

상기 제1 반사 방지막 상에 산화막을 형성하는 단계; 및

상기 산화막 상에 제2 반사 방지막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치의 제조 방법.

【청구항 20】

제19항에 있어서, 상기 제1 및 제2 반사 방지막은 각기 실리콘 산화물, 실리콘 질화물 및 실리콘 산질화물로 이루어진 그룹 중에서 선택된 어느 하나를 포함하며, 상기 잔류 산화물은 상기 제2 반사 방지막을 형성하는 동안 사용되는 산화질소를 포함하는 퍼지 가스로부터 생성되는 것을 특징으로 하는 불휘발성 반도체 메모리 장치의 제조 방법.

【청구항 21】

제18항에 있어서, 상기 제1 세정액은 황산을 포함하며, 상기 하드 마스크층을 일차적으로 세정하는 단계는 30~70℃의 저온에서 3~10분 동안 수행되는 것을 특징으로 하는 불휘발성 반도체 메모리 장치의 제조 방법.

【청구항 22】

제18항에 있어서, 상기 제2 세정액은 SC 1을 포함하며, 상기 하드 마스크층을 이차적으로 세정하는 단계는 30~70℃의 저온에서 5~15분 동안 수행되는 것을 특징으로 하는 불휘발성 반도체 메모리 장치의 제조 방법.

【청구항 23】

반도체 기판 상에 트랜지스터 구조물 및 패드를 형성하는 단계;

상기 트랜지스터 구조물 및 상기 패드 상에 절연막을 형성하는 단계;

상기 절연막 상에 반사 방지막을 형성하는 단계;

상기 반사 방지막 상의 잔류 산화물을 제1 세정액을 사용하여 일차적으로 세정하는 단계;

상기 반사 방지막 상의 잔류 산화물을 제2 세정액을 사용하여 이차적으로 세정하는 단계;

상기 반사 방지막 상에 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 이용하여 상기 반사 방지막 및 상기 절연막을 식각하여 상기 패드를 노출시키는 콘택 홀을 형성하는 단계; 및

상기 콘택 홀 내에 상기 패드에 전기적으로 연결되는 콘택 플러그를 형성하는 단계를 포함하는 것을 특징으로 하는 휘발성 반도체 메모리 장치의 제조 방법.

【청구항 24】

제23항에 있어서, 반사 방지막은 각기 실리콘 산화물, 실리콘 질화물 및 실리콘 산 질화물로 이루어진 그룹 중에서 선택된 어느 하나를 포함하며, 상기 잔류 산화물은 상기 반사 방지막을 형성하는 동안 사용되는 산화질소를 포함하는 퍼지 가스로부터 생성되는 것을 특징으로 하는 휘발성 반도체 메모리 장치의 제조 방법.

【청구항 25】

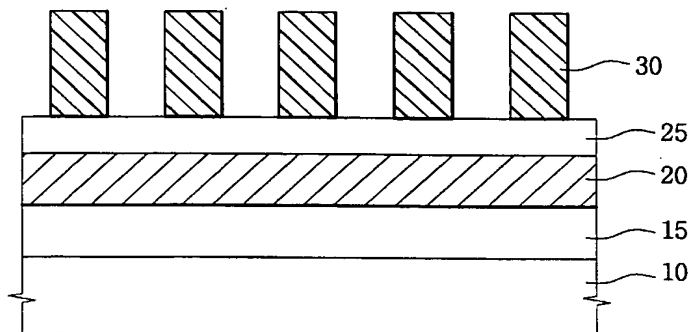
제23항에 있어서, 상기 제1 세정액은 황산을 포함하며, 상기 반사 방지막을 일차적으로 세정하는 단계는 30~70℃의 저온에서 3~10분 동안 수행되는 것을 특징으로 하는 휘발성 반도체 메모리 장치의 제조 방법.

【청구항 26】

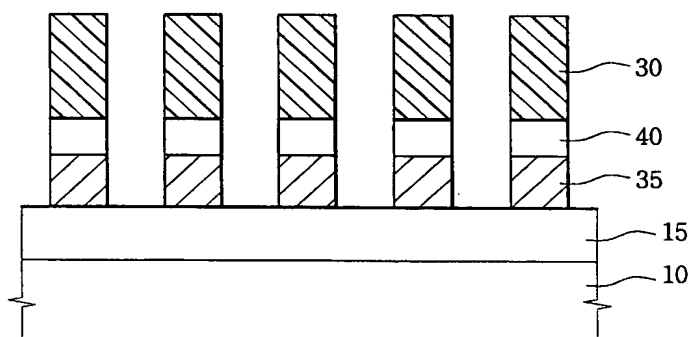
제23항에 있어서, 상기 제2 세정액은 SC 1을 포함하며, 상기 반사 방지막을 이차적으로 세정하는 단계는 30~70℃의 저온에서 5~15분 동안 수행되는 것을 특징으로 하는 휘발성 반도체 메모리 장치의 제조 방법.

【도면】

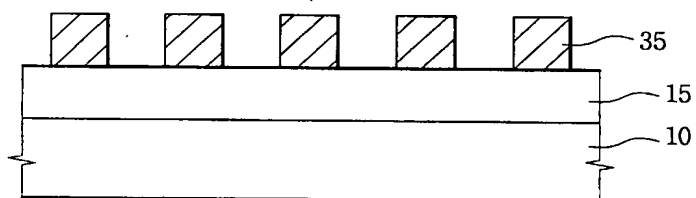
【도 1a】



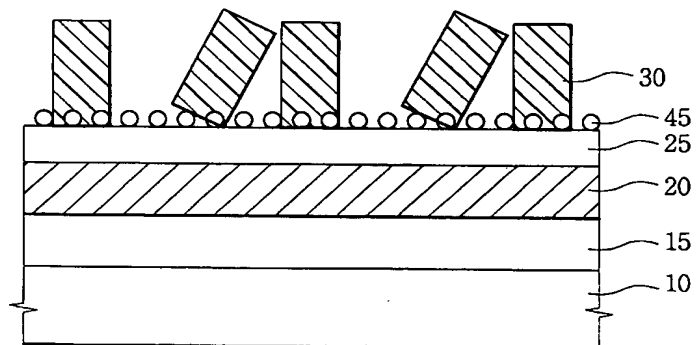
【도 1b】



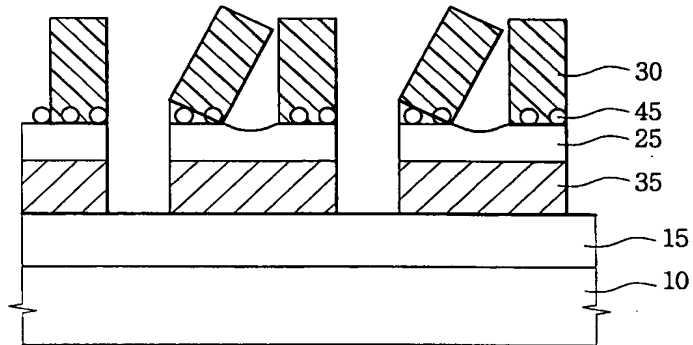
【도 1c】



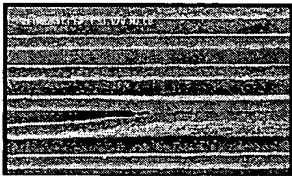
【도 2a】



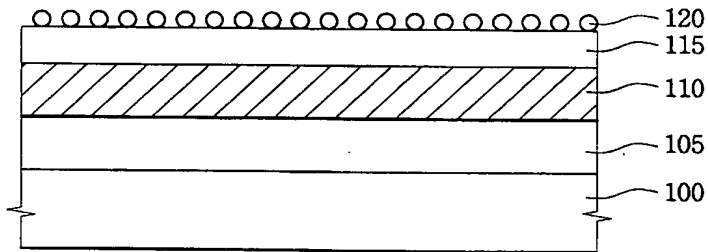
【도 2b】



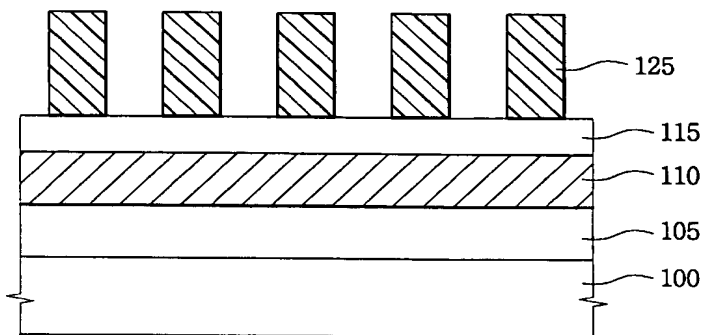
【도 3】



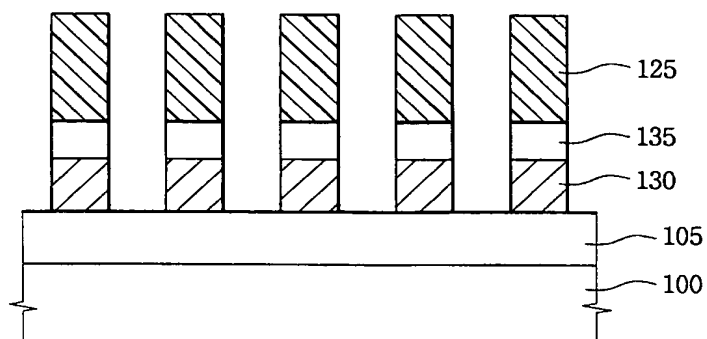
【도 4a】



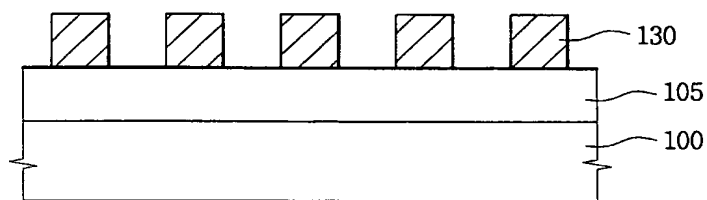
【도 4b】



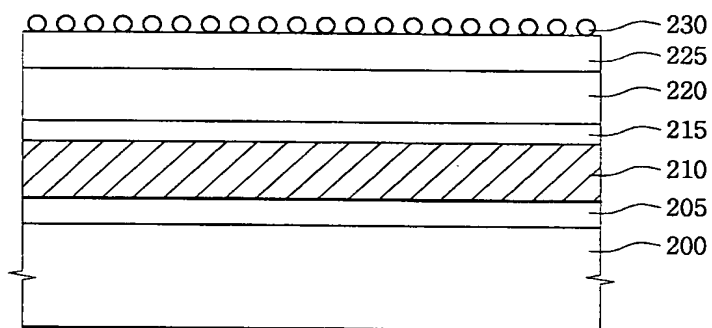
【도 4c】



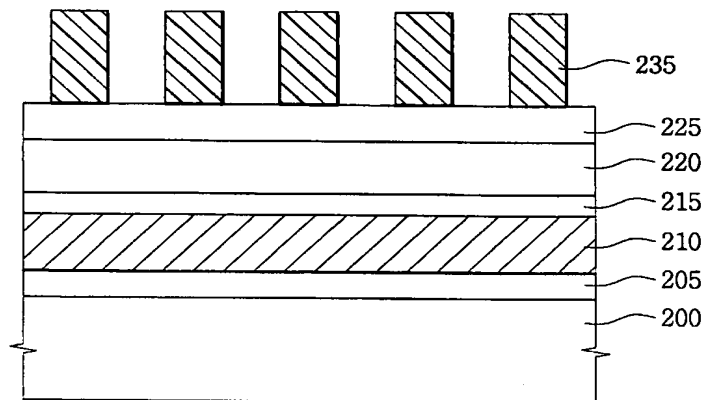
【도 4d】



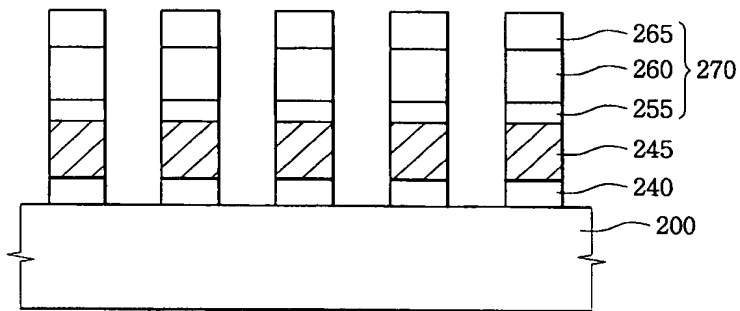
【도 5a】



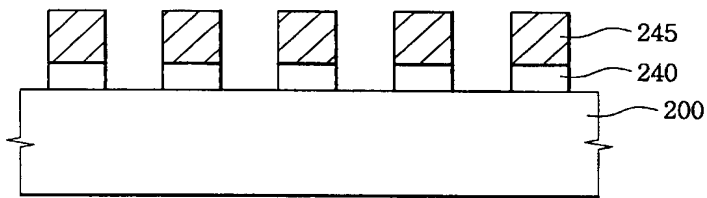
【도 5b】



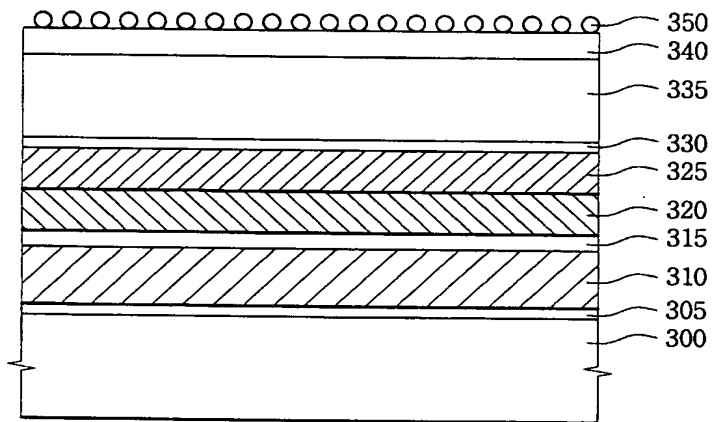
【도 5c】



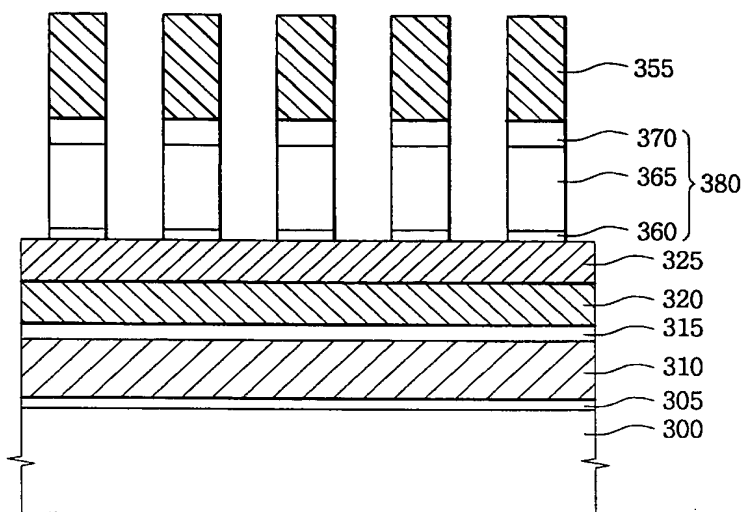
【도 5d】



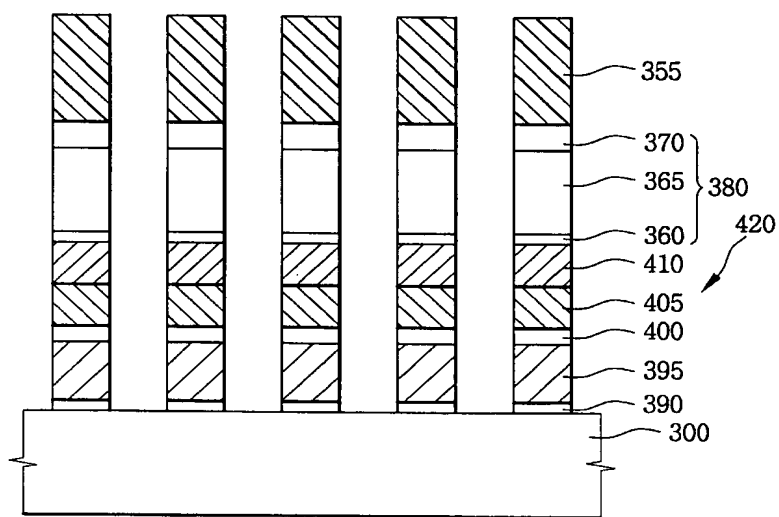
【도 6a】



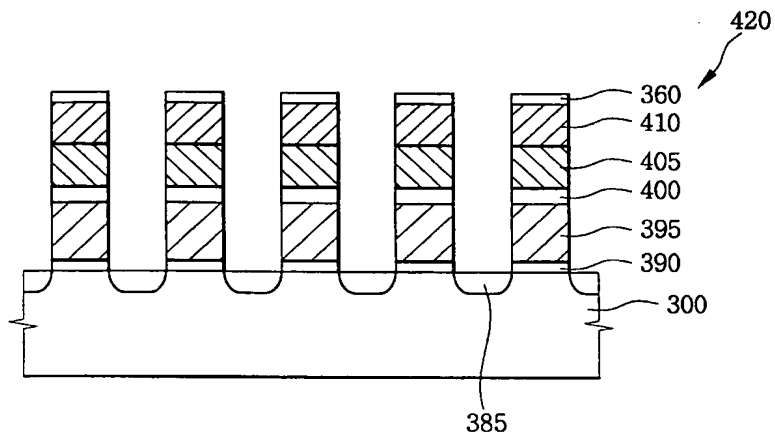
【도 6b】



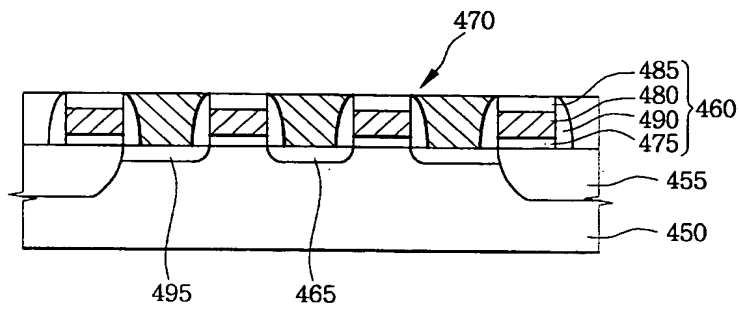
【도 6c】



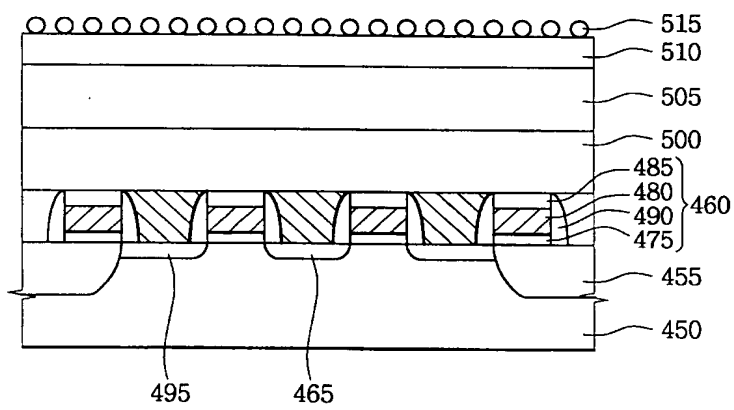
【도 6d】



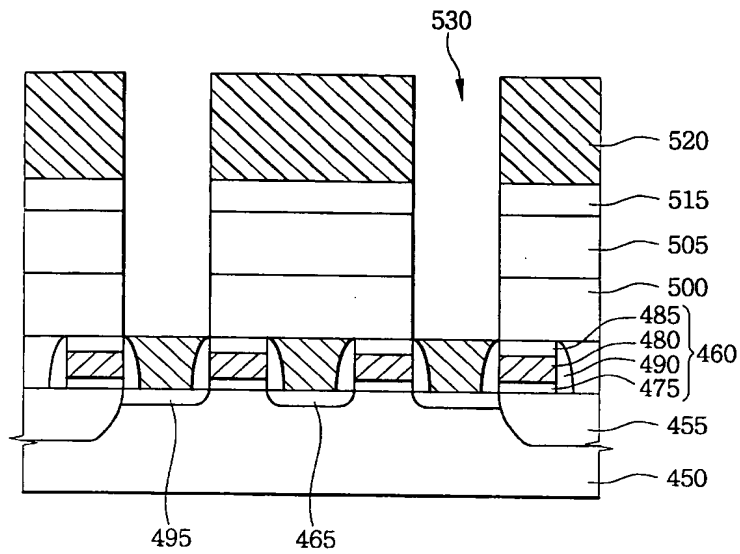
【도 7a】



【도 7b】



【도 7c】



【도 7d】

